

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0044

Applicant: Hee Bok KANG

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: December 8, 2003

Art Unit: Unassigned

Title: REGISTER ARRAY HAVING TIMING REFERENCE SENSING
FUNCTION, FeRAM USING THE SAME, AND SENSING METHOD
USING TIMING REFERENCE

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

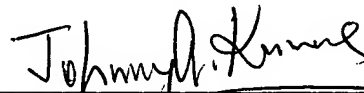
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2003-0032901 filed May 23, 2003

Respectfully submitted,

Date: December 8, 2003

By



Johnny A. Kumar

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0032901
Application Number

출원년월일 : 2003년 05월 23일
Date of Application MAY 23, 2003

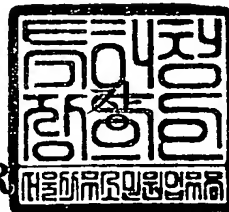
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【창조번호】	0005
【제출일자】	2003.05.23
【국제특허분류】	H01L
【발명의 명칭】	타이밍 레퍼런스 센싱기능을 갖는 레지스터 어레이, 그 어레이를 사용하는 불휘발성 강유전체 메모리 장치 및 타이밍 레퍼런스를 이용한 데이터 센싱 방법
【발명의 영문명칭】	Register array having timing reference sensing function, FeRAM using the register array, and sensing method using timing reference
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	황의인
【대리인코드】	9-1998-000660-7
【포괄위임등록번호】	2003-017010-4
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	2003-017011-1
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG, Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【심사청구】	청구

1020030032901

출력 일자: 2003/10/14

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
황의인 (인) 대리인
이정훈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 16 면 16,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 15 항 589,000 원

【합계】 634,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 멀티 비트라인 구조를 갖는 불휘발성 강유전체 메모리 장치를 개시한다.

본 발명의 불휘발성 강유전체 메모리 장치는 셀 데이터를 저장하는 복수개의 셀 어레이 블록, 리드/라이트 데이터를 전송하는 공통 데이터 버스부, 및 리드 데이터를 센싱하고 라이트 데이터를 공통 데이터 버스부로 출력하는 타이밍 데이터 레지스터 어레이부를 구비하며, 타이밍 데이터 레지스터 어레이부는 공통 데이터 버스부의 센싱전압이 감소하여 센싱감지 임계전압을 지나는 시간을 이용해 상기 리드 데이터를 센싱함으로써 저전압에서도 센싱마진을 향상시킬 수 있으며 센싱속도도 빠르게 할 수 있다.

【대표도】

도 8

【명세서】**【발명의 명칭】**

타이밍 레퍼런스 센싱기능을 갖는 레지스터 어레이, 그 어레이를 사용하는 불휘발성 강유전체 메모리 장치 및 타이밍 레퍼런스를 이용한 데이터 센싱 방법{Register array having timing reference sensing function, FeRAM using the register array, and sensing method using timing reference}

【도면의 간단한 설명】

도 1은 본 발명에 따른 불휘발성 강유전체 메모리 장치의 제 1 실시예를 나타내는 구성도.

도 2는 본 발명에 따른 불휘발성 강유전체 메모리 장치의 제 2 실시예를 나타내는 구성도.

도 3은 도 1 및 도 2의 셀 어레이 블록의 구성을 보다 상세하게 나타낸 구성도.

도 4는 도 3의 메인 비트라인 풀업 제어부 및 메인 비트라인 센싱 로드부에 관한 상세 회로도.

도 5는 도 3의 컬럼 선택 스위치부에 관한 상세 회로도.

도 6은 단위 서브 셀 어레이에 관한 상세 회로도.

도 7은 도 1의 타이밍 데이터 레지스터 어레이부의 구성도.

도 8은 도 7의 타이밍 데이터 레지스터 어레이부에 대한 상세 회로도.

도 9는 본 발명의 타이밍 데이터 레지스터 어레이부에서 타이밍 레퍼런스를 이용해 데이터를 검출하는 동작을 설명하기 위한 타이밍도.

도 10은 본 발명의 타이밍 데이터 레지스터 어레이부에서 라이트 모드시 선택된 컬럼이 동작할 때의 타이밍도.

도 11은 본 발명의 타이밍 데이터 레지스터 어레이부에서 라이트 모드시 선택되지 않은 컬럼이 동작할 때의 타이밍도.

도 12는 본 발명에 따른 불휘발성 강유전체 메모리 장치의 라이트 동작을 설명하기 위한 타이밍도.

도 13은 본 발명에 따른 불휘발성 강유전체 메모리 장치의 리드 동작을 설명하기 위한 타이밍도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 타이밍 레퍼런스 센싱기능을 갖는 불휘발성 강유전체 메모리 장치에 관한 것으로, 보다 상세하게는 멀티비트 구조를 갖는 불휘발성 강유전체 메모리 장치에서 메인비트 라인의 데이터가 감소하여 센싱감지 임계전압을 지나는 시간을 이용하여 공통 데이터 버스의 데이터를 센싱하는 불휘발성 강유전체 메모리 장치에 관한 것이다.
- <15> 일반적으로 불휘발성 강유전체 메모리 즉, FeRAM(Ferroelectric Random Access Memory)은 디램(DRAM:Dynamic Random Access Memory) 정도의 데이터 처리 속도를 갖으면서 전원의 오프시에도 데이터가 보존되는 특성 때문에 차세대 기억 소자로 주목받고 있다.

- <16> 이러한 FeRAM은 디램과 거의 유사한 구조를 갖는 기억소자로서, 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않게 된다.
- <17> 상술된 FeRAM에 관한 기술내용은 본 발명과 동일 발명자에 의해 출원된 출원번호 제 1998-14400호에 개시된 바 있다. 따라서, FeRAM에 관한 기본적인 구성 및 동작원리에 관한 자세한 설명은 생략한다.
- <18> FeRAM의 칩 동작 전압이 저 전압화되면서, 셀 센싱 전압이 감소하여 1T1C(1-Transistor 1-Capacitor)의 회로 구성에서 빠른 동작 속도 구현에 어려움을 초래하고 있다.
- <19> 특히 셀 데이터 센싱 전압이 작을 경우, 타이밍 감지를 위한 전압 마진이 작아 센싱하는데 어려움이 있으며 타이밍 감지 전압 자체의 발생 전압 변동에 의한 센싱 마진 감소도 발생하게 된다.

【발명이 이루고자 하는 기술적 과제】

- <20> 따라서, 상술된 문제를 해결하기 위한 본 발명의 목적은 데이터 센싱방법을 개선하여 저 전압에서도 센싱마진을 향상시키고 센싱속도를 빠르게 하는데 있다.

【발명의 구성 및 작용】

- <21> 위와 같은 목적을 달성하기 위한 본 발명의 타이밍 레퍼런스 센싱기능을 갖는 타이밍 레지스터 어레이는, 서브 비트라인 및 메인 비트라인을 구비하고, 서브 비트라인의 센싱전압을 전류로 변환시켜 메인 비트라인 센싱전압을 유도하는 멀티 비트라인 구조의 셀 어레이와 인터페이스 하는 데이터 버스의 데이터를 센싱하여 저장하는 데이터 레지스터 어레이에 있어서, 프리차지시 상기 데이터 버스를 풀업시키는 버스 풀업부; 상기 설정된 센싱감지 임계전압에 따라

상기 데이터 버스의 센싱전압을 센싱하는 센스 앰프부; 및 풀업된 상기 데이터 버스의 센싱전압이 감소하여 상기 센싱감지 임계전압에 도달하는 시간을 이용해 상기 센스 앰프부의 센싱값을 검출한 후 이를 상기 셀 어레이에 저장된 데이터 값으로 출력하는 타이밍 데이터 검출부를 구비한다.

<22> 본 발명의 타이밍 레퍼런스 센싱기능을 갖는 불휘발성 강유전체 메모리 장치는, 서브 비트라인 및 메인 비트라인을 구비하고, 서브 비트라인의 센싱전압을 전류로 변환시켜 메인 비트라인 센싱전압을 유도하는 멀티 비트라인 구조의 셀 어레이를 갖는 메모리 장치에 있어서, 상기 셀 어레이를 구비하는 복수개의 셀 어레이 블록; 상기 복수개의 셀 어레이 블록에 공유되어 상기 셀 어레이 블록에 대한 리드 데이터 및 라이트 데이터를 전송하는 공통 데이터 버스부; 및 상기 공통 데이터 버스부와 연결되어 상기 리드 데이터를 센싱하고 상기 라이트 데이터를 상기 공통 데이터 버스부로 출력하는 타이밍 데이터 레지스터 어레이부를 구비하며,

<23> 상기 타이밍 데이터 레지스터 어레이부는 상기 공통 데이터 버스부의 센싱전압이 감소하여 센싱감지 임계전압을 지나는 시간을 이용해 상기 리드 데이터를 센싱하는 것을 특징으로 한다.

<24> 본 발명의 타이밍 레퍼런스를 이용한 데이터 센싱 방법은, 서브 비트라인 및 메인 비트라인을 구비하고, 서브 비트라인의 센싱전압을 전류로 변환시켜 메인 비트라인 센싱전압을 유도하는 멀티 비트라인 구조를 갖는 복수의 셀 어레이 블록 및 상기 복수의 셀 어레이 블록에 공유되는 공통 데이터 버스를 갖는 메모리 장치에서의 데이터 센싱방법에 있어서, 서로 다른 데이터 값에 대응되는 상기 공통 데이터 버스의 센싱전압이 센싱감지 임계전압에 도달하는 서로 다른 시간을 감지하여 상기 공통 데이터 버스의 데이터 값을 센싱한다.

<25> 본 발명의 타이밍 레퍼런스를 이용한 데이터 센싱 방법은, 서브 비트라인 및 메인 비트라인을 구비하고, 서브 비트라인의 센싱전압을 전류로 변환시켜 메인 비트라인 센싱전압을 유도하는 멀티 비트라인 구조를 갖는 복수의 셀 어레이 블록 및 상기 복수의 셀 어레이 블록에 공유되는 공통 데이터 버스를 갖는 메모리 장치에서의 데이터 센싱방법에 있어서, 상기 서브 비트라인의 센싱전압에 의해 공통 데이터 버스의 센싱전압이 변화하는 정도에 따라 상기 공통 데이터 버스의 데이터 하이 및 데이터 로오에 대한 센싱전압이 각각 센싱감지 임계전압에 도달하는 제 1 타이밍 및 제 2 타이밍을 감지하는 제 1 단계; 상기 공통 데이터 버스의 센싱전압 및 상기 센싱감지 임계전압에 따라 상기 공통 데이터 버스의 센싱전압을 센싱하는 제 2 단계; 및 상기 제 1 타이밍 및 제 2 타이밍 사이의 센싱값을 저장하여 출력하는 제 3 단계를 포함한다.

<26> 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다.

<27> 도 1은 본 발명에 따른 불휘발성 강유전체 메모리 장치의 제 1 실시예를 나타내는 구성도이다.

<28> 본 발명의 강유전체 메모리 장치는 복수개의 셀 어레이 블록(10), 공통 데이터 버스(20), 타이밍 데이터 레지스터 어레이부(30), 데이터 버퍼 버스부(40), 및 타이밍 데이터 버퍼부(50)를 구비한다.

<29> 셀 어레이 블록(10)은 데이터 저장을 위한 복수개의 셀 어레이를 구비한다. 특히 본 발명의 셀 어레이 블록(10)은 셀 서브 비트라인 및 메인 비트라인을 구비하고 서브 비트라인의 센싱전압을 전류로 변환시켜 메인 비트라인 센싱전압을 유도하는 멀티 비트라인 구조의 비트라인 셀 어레이를 갖는다. 복수개의 셀 어레이 블록(10)은 공통 데이터 버스부(20)를 공유한다.

- <30> 타이밍 데이터 레지스터 어레이부(30)는 셀 어레이 블록(10)과 공통 데이터 버스부(20)로 연결되어 셀 어레이 블록(10)으로부터의 리드 데이터를 센싱하여 데이터 버퍼 버스부(40)로 출력한다. 또한, 타이밍 데이터 레지스터 어레이부(30)는 타이밍 데이터 버퍼부(50)와 데이터 버퍼 버스부(40)로 연결되어 타이밍 데이터 버퍼부(50)로부터의 라이트 데이터를 공통 데이터 버스부(20)로 출력한다. 이때, 타이밍 데이터 레지스터 어레이부(30)는 공통 데이터 버스부(20)의 데이터를 센싱시 데이터가 센싱감지 임계전압을 지나는 시간을 이용하여 데이터 하이와 데이터 로오를 구별한다.
- <31> 타이밍 데이터 버퍼부(40)는 외부에서 입력되어 타이밍 데이터 레지스터 어레이부(30)로 전송될 데이터 및 타이밍 데이터 레지스터 어레이부(30)에서 입력되어 외부로 출력될 데이터를 버퍼링한다. 이러한, 타이밍 데이터 버퍼(40)는 데이터 버퍼 버스부(40)를 통해 타이밍 데이터 레지스터 어레이부(30)와 연결된다.
- <32> 이러한 구성을 갖는 본 발명은, 리드 동작 모드시 셀 어레이 블록(10)에서 공통 데이터 버스부(20)로 인가된 데이터가 타이밍 데이터 레지스터 어레이부(30)에 의해 센싱되어 저장된다. 그리고, 타이밍 데이터 레지스터 어레이부(30)에 저장된 리드 데이터는 데이터 버퍼 버스부(40)를 통해 타이밍 데이터 버퍼부(50)로 출력되고, 또한 재저장된다.
- <33> 라이트 동작 모드시에는, 타이밍 데이터 버퍼부(50)를 통해 입력된 데이터는 데이터 버퍼 버스부(40)를 통해 타이밍 데이터 레지스터 어레이부(30)에 저장된다. 그리고, 타이밍 데이터 레지스터 어레이부(30)에 저장된 라이트 데이터는 공통 데이터 버스부(20)를 통해 셀 어레이 블록(10)에 기록된다.
- <34> 도 2는 본 발명에 따른 불휘발성 강유전체 메모리 장치의 제 2 실시예를 나타내는 구성도이다.



- <35> 도 2의 실시예에서는 셀 어레이 블럭(10)을 공통 데이터 버스부(20)의 상부 및 하부에 배치시키고, 이들이 공통 데이터 버스부(20)를 공유하도록 하는 구조를 갖는다. 이외 각 구성 요소들의 구성 및 기능은 도 1의 그것들과 동일하다.
- <36> 도 3은 도 1 및 도 2의 셀 어레이 블럭(10)의 구성을 보다 상세하게 나타낸 구성도이다.
- <37> 셀 어레이 블럭(10)은 메인 비트라인(MBL) 풀업(Pull-up) 제어부(11), 메인 비트라인 센싱 로드부(12), 복수개의 서브 셀 어레이(13), 및 컬럼 선택 스위치부(14)를 구비한다. 복수개의 서브 셀 어레이(13)의 메인 비트라인은 컬럼 선택 스위치부(14)를 통해 공통 데이터 버스부(20)와 연결된다.
- <38> 도 4는 도 3의 메인 비트라인 풀업 제어부(11) 및 메인 비트라인 센싱 로드부(12)에 관한 상세 회로도이다.
- <39> 메인 비트라인 풀업 제어부(11)는 프리차지시 메인 비트라인 풀업 제어신호 MBLPUC에 따라 메인 비트라인 MBL을 풀업시키는 PMOS 트랜지스터 P1을 구비한다. PMOS 트랜지스터 P1의 소오스 단자와 드레인 단자는 각각 전원전압단 VCC와 메인 비트라인 MBL에 연결되고, 게이트 단자를 통해 메인 비트라인 풀업 제어신호 MBLPUC를 인가받는다.
- <40> 메인 비트라인 센싱 로드부(12)는 메인 비트라인 MBL의 센싱 로드를 제어하는 PMOS 트랜지스터 P2를 구비한다. PMOS 트랜지스터 P2의 소오스 단자와 드레인 단자는 각각 전원전압단 VCC와 메인 비트라인 MBL에 연결되고, 게이트 단자를 통해 메인 비트라인 제어신호 MBLC를 인가받는다.
- <41> 도 5는 도 3의 컬럼 선택 스위치부(14)에 관한 상세 회로도이다.

- <42> 컬럼 선택 스위치부(14)는 컬럼 선택 신호 CSN 및 CSP에 따라 메인 비트라인 MBL과 공통 데이터 버스부(20)를 연결시켜준다. 이러한 컬럼 선택 스위치부(14)는 메인 비트라인 MBL과 공통 데이터 버스부(20) 사이에 연결되며 게이트 단자로 컬럼 선택 신호 CSN 및 CSP를 각각 인가받는 NMOS 트랜지스터 N1 및 P3를 구비한다.
- <43> 도 6은 도 3의 서브 셀 어레이(13) SCA0 ~ SCAn 중 어느 한 단위 서브 셀 어레이 SCA0에 관한 상세 회로도이다.
- <44> 서브 셀 어레이 SCA0의 각 메인 비트라인 MBL은 복수개의 서브 비트라인 SBL 중에서 어느 하나의 서브 비트라인 SBL과 선택적으로 연결된다. 즉, 복수개의 서브 비트라인 선택신호 SBSW1 중 어느 하나만이 활성화되어 해당 NMOS 트랜지스터 N6을 턴온 시킴으로써 메인 비트라인 MBL의 로드를 한개의 서브 비트라인 수준으로 줄일 수 있다. 또한, 서브 비트라인 SBL은 서브 비트라인 풀다운 신호 SBPD가 활성화되어 NMOS 트랜지스터 N4가 턴온 되면 접지전압 레벨로 조정된다.
- <45> 서브 비트라인 풀업 신호 SBPU는 서브 비트라인 SBL에 공급할 전원을 조정하는 신호이며, 서브 비트라인 선택신호 SBSW2는 서브 비트라인 풀업 신호 SBPU와 서브 비트라인 SBL 사이의 신호 흐름을 조정한다. 예컨대, 저 전압시 높은 전압을 발생시키고자 하는 경우, 전원전압 VCC 보다 높은 전압을 서브 비트라인 풀업 신호 SBPU로 공급하고, 서브 비트라인 선택신호 SBSW2를 활성화하여 NMOS 트랜지스터 N5를 턴온시킴으로써 서브 비트라인 SBL에 높은 전압을 공급한다. 그리고, 서브 비트라인 SBL에는 복수개의 셀이 연결되어 있다.
- <46> NMOS 트랜지스터 N2는 접지전압단과 NMOS 트랜지스터 N3 사이에 연결되고 게이트 단자로 메인 비트라인 풀다운 신호 MBPD를 인가받는다. NMOS 트랜지스터 N3는 NMOS 트랜지스터 N2와 메인 비트라인 MBL 사이에 연결되고 그 게이트 단자는 서브 비트라인 SBL과 연결된다. NMOS

트랜지스터 N3는 메인 비트라인 풀다운 신호 MBPD가 활성화시 서브 비트라인 SBL의 센싱 전압을 전류로 변환시켜 메인 비트라인의 센싱 전압을 유도한다.

<47> 예컨대, 셀 데이터가 하이이면, 서브 비트라인 SBL의 전압이 높아지고, 이로 인해 NMOS 트랜지스터 N3의 전류량이 많아져 메인 비트라인 MBL의 전압이 낮게 된다. 반대로, 셀 데이터가 로오이면, 서브 비트라인 SBL의 전압이 낮아지고, 이로 인해 NMOS 트랜지스터 N3의 전류량이 적어져 메인 비트라인 MBL의 전압이 높게 된다.

<48> 도 7은 도 1의 타이밍 데이터 레지스터 어레이부(30)의 구성도이며, 도 8은 도 7의 타이밍 데이터 레지스터 어레이부(30)에 대한 상세 회로도이다.

<49> 본 발명의 타이밍 데이터 레지스터 어레이부(30)는 버스 풀업부(31), 센스 앰프부(32), 락(Lock) 스위치부(33), 데이터 래치부(34), 데이터 인(In) 조정부(35), 데이터 아웃(Out) 조정부(36), 및 라이트(Write) 스위치부(37)를 구비한다.

<50> 버스 풀업부(31)는 프리차지 동안에 공통 데이터 버스부(20)를 하이레벨로 풀업시킨다. 이러한 버스 풀업부(31)는 전원전압단 VCC와 공통 데이터 버스부(20) 사이에 연결되고 게이트 단자로 데이터 버스 풀업 제어신호 DBPUC를 인가받는 PMOS 트랜지스터 P4를 구비한다.

<51> 센스 앰프부(32)는 센싱 제어신호 SEN1에 따라 공통 데이터 버스부(20)의 리드 데이터를 센싱한다. 이러한 센스 앰프부(32)는 PMOS 트랜지스터 P5, P6, NMOS 트랜지스터 N7, N8, 및 인버터 IV1을 구비한다.

<52> PMOS 트랜지스터 P5는 전원전압단 VCC와 노드 SL 사이에 연결되고, 게이트 단자로 제어신호 SPU를 인가받아 프리차지시 노드 SL을 풀업시킨다. PMOS 트랜지스터 P6은 전원전압단 VCC와 노드 SL 사이에 연결되고 게이트 단자가 공통 데이터 버스부(20)와 연결된다. NMOS 트

랜지스터 N7 및 N8은 노드 SL과 접지전압단 사이에 직렬 연결된다. NMOS 트랜지스터 N7의 게이트는 PMOS 트랜지스터 P6과 공통 연결되고, NMOS 트랜지스터 N8의 게이트 단자는 센싱 제어 신호 SEN1을 인가받는다. 인버터 IV1는 센스 앰프부(32)의 제 1 출력노드 SL의 신호를 반전시켜 센스 앰프부(32)의 제 2 출력노드 SL_B로 출력한다. 액티브 구간에서 제어신호 SPU 및 센싱 제어신호 SEN1은 모두 하이레벨이 된다.

<53> 락 스위치부(33)는 센스 앰프부(32)의 두 출력이 데이터 래치부(34)로 전달되는 것을 제어한다. 이러한, 락 스위치부(33)는 락 신호 LockN/LockP에 따라 온/오프 되어 센스 앰프부(32)의 두 출력노드 SL, SL_B의 데이터를 각각 데이터 래치부(34)로 출력하는 전송게이트 T1, T2를 구비한다. 여기에서, 락 신호 LockN/LockP는 공통 데이터 버스부(20)의 데이터('하이' 및 '로오') 값이 센싱 임계값을 지나는 시간에 따라 출력된다. 즉, 서브 비트라인 SBL의 전압 레벨(데이터 하이 또는 데이터 로오)에 따라 메인 비트라인 MBL의 전압 변화율이 서로 상이하여, 공통 데이터 버스부(20)의 데이터('하이' 및 '로오') 값이 센싱 임계값에 도달하는 시간이 서로 상이하게 된다. 따라서, 공통 데이터 버스부(20)의 두 데이터 값이 센싱 임계값에 도달하는 시간 사이에 락 신호 LockN/LockP를 발생시킨다. 이때, 공통 데이터 버스부(20)의 두 데이터 값이 센싱 임계값에 도달하는 시간은 측정에 의해 미리 산출하여 메모리 장치에 셋팅하게 된다.

<54> 데이터 래치부(34)는 제어신호 SEN2에 따라 활성화되어 리드/라이트 데이터를 저장한다. 이러한, 데이터 래치부(34)는 크로스 커플된(Cross-Coupled) 래치회로를 구조를 갖는 PMOS 트랜지스터 P7, P8와 NMOS 트랜지스터 N9, N10 그리고 제어신호 SEN2가 활성화시 래치회로를 활성화시키는 NMOS 트랜지스터 N11을 구비한다.

- <55> 데이터 인 조정부(35)는 라이트 동작 모드시 데이터 버퍼 버스부(40)를 통해 입력되는 라이트 데이터를 데이터 래치부(34)로 전달한다. 여기에서, 전송게이트 T5는 라이트 제어신호 WSN, WSP에 따라 데이터 버퍼 버스부(40)의 데이터를 노드 DI로 전송한다. NMOS 트랜지스터 N12는 노드 DI와 접지전압단 사이에 연결되어 라이트 제어신호 WSP에 따라 노드 DI를 풀다운시킨다. 전송게이트 T3는 라이트 제어신호 WSN, WSP에 따라 노드 DI의 데이터를 노드 DL로 전송한다. 전송게이트 T4는 라이트 제어신호 WSN, WSP에 따라 인버터 IV2에 의해 반전된 노드 DI의 데이터를 노드 DL_B로 전송한다.
- <56> 데이터 아웃 조정부(36)는 데이터 래치부(34)에 저장된 데이터를 동작 모드(리드/라이트)에 따라 데이터 버퍼 버스부(40) 또는 라이트 스위치부(37)로 출력한다. 여기에서, 전송게이트 T6은 제어신호 WHSN, WHSP에 따라 노드 DL_B의 데이터를 노드 DO_1로 전송한다. 전송게이트 T7은 리드 제어신호 RSN, RSP에 따라 인버터 IV3에 의해 반전된 노드 DO_1의 데이터를 데이터 버퍼 버스부(40)로 출력한다. NMOS 트랜지스터 N13은 제어신호 WHSP에 따라 노드 DO_1을 풀다운시킨다.
- <57> 라이트 스위치부(37)는 제어신호 LSN, LSP에 따라 데이터 아웃 조정부(36)의 데이터를 공통 데이터 버스부(20)로 출력한다. 여기에서, 라이트 스위치부(37)는 노드 DO_2와 공통 데이터 버스부(20) 사이에 연결되어 제어신호 LSN, LSP에 따라 온/오프 되는 전송게이트 T8을 구비한다.
- <58> 도 9는 본 발명의 타이밍 데이터 레지스터 어레이부(30)에서 타이밍 레퍼런스를 이용해 데이터를 검출하는 동작을 설명하기 위한 타이밍도이다.

- <59> T0 구간은 워드라인 WL 및 플레이트 라인 PL이 비활성화 상태이고, 메인 비트라인 MBL 및 제어 공통 데이터 버스부(20)를 하이 레벨로 프리차지하는 구간이다. 이때, 서브 비트라인 SBL은 로오 레벨로 프리차지되며, 노드 SL은 제어신호 SPU에 의해 하이 레벨로 프리차지된다. 그리고, 제어신호 SEN1, SEN2는 디스에이블 상태이다.
- <60> T1 에서 셀 데이터가 리드되면 해당 데이터 값에 따라 서브 비트라인 SBL의 센싱전압 레벨이 결정된다. 그리고, 서브 비트라인 SBL의 센싱전압에 따라 하이 레벨로 프리차지된 메인 비트라인 MBL 및 공통 데이터 버스부(20)의 전압이 다운되게 된다. 이때, 서브 비트라인 SBL의 센싱전압에 따라 NMOS 트랜지스터 N3에 흐르는 전류량이 달라져 메인 비트라인 MBL 및 공통 데이터 버스부(20)의 센싱전압 변화율이 서로 상이하게 된다.
- <61> 즉, 공통 데이터 버스부(20)의 센싱전압은, 서브 비트라인 SBL의 센싱전압이 데이터 하이인 경우에는 급속히 감소하여 T2 개시시점(제 1 타이밍)에서 센싱감지 임계전압에 도달하게 된다. 반면에 공통 데이터 버스부(20)의 센싱전압은, 서브 비트라인 SBL의 센싱전압이 데이터 로오인 경우에는 데이터 하이인 경우보다 감소 정도가 작아 T3 개시시점(제 2 타이밍)에서 센싱감지 임계전압에 도달하게 된다. 이때, 제 1 및 제 2 타이밍 값은 공통 데이터 버스부(20)의 센싱전압이 감소하는 정도와 센싱감지 임계전압을 이용하여 미리 측정되어 셋팅된다.
- <62> 이로인해, 센스 앰프부(32)의 노드 SL, SL_B의 데이터 값은 제 1 타이밍 및 제 2 타이밍 사이(T2 구간)에서 데이터 하이와 데이터 로오로 구별된다. 따라서, 제 1 타이밍과 제 2 타이밍 사이(T2)에서 노드 SL, SL_B의 데이터를 검출하면, 유효한 공통 데이터 버스부(20)의 데이터를 얻을 수 있게된다. 즉, T2 구간에서는, 공통 데이터 버스부(20)의 센싱전압이 데이터 값에 따라 센싱감지 임계전압보다 높거나 낮기 때문에, 센스 앰프부(32)의 PMOS 트랜지스터 P6

또는 NMOS 트랜지스터 N7이 선택적으로 온되어 노드 SL, SL_B의 값이 데이터 하이와 데이터 로오로 구별된다.

- <63> 센스 앰프부(32)에 의해 검출된 노드 SL, SL_B의 데이터는 기 셋팅된 타이밍 시간에 활성화된 락 신호 LockN/LockP에 의해 데이터 래치부(34)에 저장된 후, 데이터 아웃 조정부(36)를 통해 데이터 버퍼 버스부(40)로 출력되거나 라이트 스위치부(37)를 통해 재저장된다.
- <64> 도 10은 본 발명의 타이밍 데이터 레지스터 어레이부(30)에서 라이트 모드시 선택된 컬럼이 동작할 때의 타이밍도이다.
- <65> 라이트 인에이블 신호 WEB가 활성화 되고 컬럼 선택 디코더 신호 $Yi<n>$ 이 활성화됨에 따라 라이트 제어신호 WSN 및 WHSN가 각각 하이 및 로오로 된다. 다음에, 데이터 센싱 구간에서 센싱 제어신호 SEN1이 활성화되고 제어신호 SEN2는 제어신호 SEN1이 활성화된 구간 내에서 활성화되어 센싱된 데이터가 데이터 래치부(34)에 래치된다. 그러나, 래치된 센싱 데이터는 라이트 제어신호 WHSN이 비활성화되어 있으므로 공통 데이터 버스부(20)로 전달되지 않는다.
- <66> 센싱 데이터가 래치된 후 센싱 제어신호 SEN1이 비활성화되면 동시에 락 신호 LockN도 비활성화되어 센싱된 데이터가 더이상 데이터 래치부(34)로 전달되지 못하도록 차단된다.
- <67> 다음에, 데이터 버퍼 버스부(40)로 라이트될 데이터가 인가되면, 해당 데이터는 데이터 래치부(34)에 래치된다. 다음에, 라이트 제어신호 WHSN이 활성화되면 래치된 데이터는 데이터 아웃 조정부(36)의 노드 DO_2로 전달된다. 노드 DO_2의 데이터는 제어신호 LSN이 하이로 활성화됨으로써 공통 데이터 버스부(20)로 전달된다.
- <68> 도 11은 본 발명의 타이밍 데이터 레지스터 어레이부(30)에서 라이트 모드시 선택되지 않은 컬럼이 동작할 때의 타이밍도이다.

- <69> 컬럼 선택 디코더 신호 $Yi_{<m>}$ 이 선택되지 않음으로써, 라이트 제어신호 WSN이 로오로 비활성화되어 데이터 버퍼 버스부(40)의 라이트 데이터가 데이터 래치부(34)로 전달되지 않게 된다.
- <70> 따라서, 센싱구간에서 센싱된 데이터가 데이터 래치부(34)에 저장되었다가 바로 공통 데이터 버스부(20)로 전달된다. 즉, 선택되지 않은 컬럼 데이터는 재저장(restore) 모드로 동작하게 된다.
- <71> 도 12는 본 발명에 따른 불휘발성 강유전체 메모리 장치의 라이트 동작을 설명하기 위한 타이밍도이다.
- <72> 먼저, t_0 구간에서 어드레스가 천이되고 라이트 인에이블 신호 /WE가 로오로 비활성화되면, 라이트 모드 액티브 상태가 된다.
- <73> t_1 , t_2 구간은 풀업 구간이다. 즉, 워드라인 WL 및 플레이트 라인 PL이 활성화되기 전에 메인 비트라인 풀업 제어신호 MBLPUC 및 데이터 버스 풀업 제어신호 DBPUC에 의해 메인 비트라인 MBL과 공통 데이터 버스부(20)가 각각 풀업된다. 그리고, t_2 구간에서 워드라인 WL이 인에이블 되고 서브 비트라인 풀다운 신호 SBPD가 로우로 디스에이블되도록 하여 셀의 저장 노드가 접지레벨로 초기화 되도록 한다. 이때, 워드라인 WL을 플레이트 라인 PL보다 일정시간 먼저 활성화시킴으로써 초기 동작시 셀 저장 노드의 상태를 안정시켜 센싱 마진을 향상시킨다.
- <74> t_3 , t_4 구간은 센싱구간이다. t_3 구간에서 플레이트 라인 PL이 펌핑전압 VPP 레벨로 활성화되고 메인 비트라인 MBL에 셀 데이터가 인가된다. 그리고 데이터 버스 풀업 제어신호 DBPUC가 하이로 활성화되어 버스 풀업부(31)는 공통 데이터 버스부(20)의 풀업을 중지한다. t_4 구간에서 센싱 제어신호 SEN1이 하이로 활성화되어 센스 앰프부(32)는 공통 데이터 버스부

(20)의 데이터를 센싱한다. 센싱된 데이터는 제어신호 SEN2의 활성화로 데이터 래치부(34)에 래치된다. 다음에 센싱 제어신호 SEN1이 로오로 비활성화됨과 동시에 락 신호 LockN/LockP가 비활성화되어 t5 구간 인가시의 데이터가 데이터 래치부(34)에 저장된다. 이때, 락 신호 LockN/LockP는 도 9에서와 같이 공통 데이터 버스부(20)의 데이터 하이와 데이터 로오가 센싱 감지 임계전압을 지나는 시간 사이에 발생된다.

<75> 이어서, t5 구간 진입시 플레이트 라인 PL의 전압 레벨이 로오로 비활성화되고 서브 비트라인 선택신호 SBSW2가 펌핑전압 VPP 레벨로 활성화된다. 그리고, 서브 비트라인 폴다운 신호 SBPD가 하이로 활성화되어 서브 비트라인 SBL의 전압레벨이 접지레벨이 되어 메인 비트라인 MBL이 하이로 활성화된다.

<76> 다음에, t6 구간에 진입시 워드라인 WL의 전압 레벨이 상승되어 셀 데이터 "하이"를 라이트하게 된다. 그리고, 서브 비트라인 폴업신호 SBPU가 하이로 활성화되고 서브 비트라인 선택신호 SBSW2의 레벨이 상승하여, 서브 비트라인 SBL의 전압 레벨은 펌핑전압 VPP 레벨로 상승하게 된다. 또한, 서브 비트라인 폴다운 신호 SBPD는 로오로 비활성화된다. 그리고, 데이터 버퍼 버스부(40)로 인가된 라이트 데이터는 데이터 래치부(34)에 저장된다.

<77> 다음에, t7 구간의 진입시 라이트 인에이블 신호 /WE가 하이로 활성화되면, 도 10에서와 같이 라이트 제어신호 WHSN의 활성화로 데이터 래치부(34)에 저장된 데이터는 공통 데이터 버스부(20)로 전달된다. 공통 데이터 버스부(20)의 데이터는 컬럼 선택 스위치부(14)에 의해 메인 비트라인 MBL에 전달된다. 그리고, 메인 비트라인 MBL의 데이터는 서브 비트라인 선택신호 SBSW1이 활성화되어 서브 비트라인 SBL로 전달된다. 따라서, 새로운 데이터를 라이트하기 위해 서브 비트라인 선택신호 SBSW1이 활성화되어 있는 동안에 타이밍 데이터 레지스터

어레이부(30)에 저장된 데이터를 메인 비트라인 MBL 및 서브 비트라인 SBL에 각각 인가함으로써 데이터가 "0" 레벨인 경우 메모리 셀에 "0"레벨의 데이터가 저장된다.

<78> 그런데, t6 구간 즉 데이터 "0"을 라이트하기 이전 구간에서 메인 비트라인 MBL을 하이 레벨로 풀업하게 되는데, 이때의 메인 비트라인 MBL의 풀업은 데이터 버스 풀업 제어신호 DBPUC에 따라 버스 풀업부(31)에 의해 수행된다.

<79> 도 13은 본 발명에 따른 불휘발성 강유전체 메모리 장치의 리드 동작을 설명하기 위한 타이밍도이다.

<80> 먼저, 리드 모드시에는 라이트 인에이블 신호 /WE가 전원전압 레벨을유지한다. 그리고, t6 구간 이후에 데이터 출력 유효 구간을 유지한다.

<81> 이때, 라이트 제어신호 WSN을 로우 레벨 상태로 유지시켜, 데이터 버퍼 버스부(40)를 통해 입력되는 데이터를 셀에 기록하지 않고 데이터 래치부(34)에 저장된 리드 데이터를 다시 셀에 저장하는 재저장(restore)이 이루어진다.

<82> 또한, t3 ~ t8 구간에서 리드 선택신호 RSN을 활성화시켜 데이터 래치부(34)에 저장된 리드 데이터가 데이터 버퍼 버스부(40)로 전달되도록 한다.

【발명의 효과】

<83> 상술한 바와 같이, 본 발명의 불휘발성 강유전체 메모리 장치는 멀티비트 구조를 갖는 불휘발성 강유전체 메모리 장치에서 데이터 센싱을 위해 기준 전압을 이용하지 않고, 메인비트라인의 데이터가 감소하여 센싱감지 임계전압을 지나는 시간을 이용하여 공통 데이터 버스의 데이터를 센싱함으로써 저전압에서도 센싱마진을 향상시키고 센싱속도를 빠르게 할 수 있다.

또한, 데이터 센싱을 위해 기준전압을 이용하지 않기 때문에 기준전압에 의한 노이즈문제를 제거할 수 있다.

【특허청구범위】**【청구항 1】**

서브 비트라인 및 메인 비트라인을 구비하고, 서브 비트라인의 센싱전압을 전류로 변환시켜 메인 비트라인 센싱전압을 유도하는 멀티 비트라인 구조의 셀 어레이와 인터페이스 하는 데이터 버스의 데이터를 센싱하여 저장하는 데이터 레지스터 어레이에 있어서,

프리차지시 상기 데이터 버스를 풀업시키는 버스 풀업부;

기 설정된 센싱감지 임계전압에 따라 상기 데이터 버스의 센싱전압을 센싱하는 센스 앰프부; 및

풀업된 상기 데이터 버스의 센싱전압이 감소하여 상기 센싱감지 임계전압에 도달하는 시간을 이용해 상기 센스 앰프부의 센싱값을 검출한 후 이를 상기 셀 어레이에 저장된 데이터 값으로 출력하는 타이밍 데이터 검출부를 구비하는 타이밍 데이터 레지스터 어레이.

【청구항 2】

제 1항에 있어서, 상기 타이밍 데이터 검출부는

데이터 하이 및 데이터 로오에 대응되는 상기 데이터 버스의 센싱전압이 상기 서브 비트라인의 센싱전압에 의해 감소하여 각각 상기 센싱감지 임계전압에 도달하는 서로 다른 시간 사이에서 상기 센스 앰프부의 센싱값을 검출하는 것을 특징으로 하는 타이밍 데이터 레지스터 어레이.

【청구항 3】

제 1항 또는 제 2항에 있어서, 상기 타이밍 데이터 검출부는

상기 서로 다른 시간 사이에 활성화되는 락 신호에 따라 상기 센스 앰프부의 센싱값을 선택적으로 전달하는 락 스위치부;

상기 락 신호 인가시의 상기 락 스위치부를 통해 전달된 데이터를 저장하는 데이터 래치부;

상기 저장된 데이터를 출력하는 데이터 아웃 조정부; 및

상기 저장된 데이터를 재저장을 위해 상기 데이터 버스로 전송하는 라이트 스위치부를 구비하는 것을 특징으로 하는 타이밍 데이터 레지스터 어레이.

【청구항 4】

제 3항에 있어서, 상기 락 신호는

상기 데이터 버스의 센싱전압 감소정도와 상기 센스감지 임계전압에 따라 미리 측정되어 셋팅된 시간에 활성화되는 것을 특징으로 하는 타이밍 데이터 레지스터 어레이.

【청구항 5】

서브 비트라인 및 메인 비트라인을 구비하고, 서브 비트라인의 센싱전압을 전류로 변환시켜 메인 비트라인 센싱전압을 유도하는 멀티 비트라인 구조의 셀 어레이를 갖는 메모리 장치에 있어서,

상기 셀 어레이를 구비하는 복수개의 셀 어레이 블록;

상기 복수개의 셀 어레이 블록에 공유되어 상기 셀 어레이 블록에 대한 리드 데이터 및 라이트 데이터를 전송하는 공통 데이터 버스부; 및

상기 공통 데이터 버스부와 연결되어 상기 리드 데이터를 센싱하고 상기 라이트 데이터를 상기 공통 데이터 버스부로 출력하는 타이밍 데이터 레지스터 어레이부를 구비하며,

상기 타이밍 데이터 레지스터 어레이부는 상기 공통 데이터 버스부의 센싱전압이 감소하여 센싱감지 임계전압에 도달하는 시간을 이용하여 상기 리드 데이터를 검출하는 것을 특징으로 하는 타이밍 레퍼런스 센싱기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 6】

제 5항에 있어서, 상기 타이밍 데이터 레지스터 어레이부는

상기 서브 비트라인의 센싱전압에 의해 데이터 하이 및 데이터 로오에 대응되는 상기 공통 데이터 버스부의 센싱전압이 감소하여 각각 상기 센싱감지 임계전압에 도달하는 서로 다른 시간 사이에서 상기 리드 데이터를 검출하는 것을 특징으로 하는 타이밍 레퍼런스 센싱기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 7】

제 5항 또는 제 6항에 있어서, 상기 타이밍 데이터 레지스터 어레이부는

프리차지시 상기 공통 데이터 버스부를 풀업시키는 버스 풀업부;

센싱 제어신호 인가시 상기 센싱감지 임계전압에 따라 상기 공통 데이터 버스부의 데이터를 센싱하는 센스 앰프부;

상기 리드 데이터 및 라이트 데이터를 저장하는 데이터 래치부;

락 신호에 따라 상기 센스 앰프부의 출력 데이터를 상기 데이터 래치부로 선택적으로 전달하는 락 스위치부;

라이트 동작시 상기 라이트 데이터를 인가받아 상기 데이터 래치부로 전달하는 데이터 인 조정부;

동작 모드에 따라 상기 데이터 래치부에 저장된 데이터의 출력을 제어하는 데이터 아웃 조정부; 및

상기 데이터 아웃 조정부의 출력 데이터를 상기 공통 데이터 버스부로 전달하는 라이트 스위치부를 구비하는 것을 특징으로 하는 타이밍 레퍼런스 센싱기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 8】

제 7항에 있어서, 상기 락 스위치부는

상기 공통 데이터 버스부의 센싱전압 감소정도와 상기 센싱감지 임계전에 근거하여 기 측정되어 셋팅된 시간에 활성화되는 락 신호에 따라 상기 센스 앰프부의 데이터를 락(Lock) 시키는 것을 특징으로 하는 타이밍 레퍼런스 센싱기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 9】

제 8항에 있어서, 상기 락 스위치부는

상기 락 신호에 따라 온/오프되어 상기 센스 앰프부의 데이터를 선택적으로 전달하는 전송게이트를 구비하는 것을 특징으로 하는 타이밍 레퍼런스 센싱기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 10】

제 7항에 있어서, 상기 데이터 아웃 조정부는

리드 모드시, 상기 데이터 래치부에 저장된 데이터를 데이터 버퍼 및 상기 라이트 스위치부로 출력하고,

라이트 모드시, 상기 데이터 래치부에 저장된 데이터를 상기 라이트 스위치부로 출력하는 것을 특징으로 하는 타이밍 레퍼런스 센싱기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 11】

제 7항에 있어서, 상기 데이터 인 조정부는

컬럼 선택 신호의 활성화시 상기 라이트 데이터를 전달하는 것을 특징으로 하는 타이밍 레퍼런스 센싱기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 12】

서브 비트라인 및 메인 비트라인을 구비하고, 서브 비트라인의 센싱전압을 전류로 변환시켜 메인 비트라인 센싱전압을 유도하는 멀티 비트라인 구조를 갖는 복수의 셀 어레이 블록 및 상기 복수의 셀 어레이 블록에 공유되는 공통 데이터 버스를 갖는 메모리 장치에서의 데이터 센싱방법에 있어서,

서로 다른 데이터 값에 대응되는 상기 공통 데이터 버스의 센싱전압이 센싱감지 임계전압에 도달하는 서로 다른 시간을 감지하여 상기 공통 데이터 버스의 데이터 값을 센싱하는 타이밍 레퍼런스를 이용한 데이터 센싱 방법.

【청구항 13】

서브 비트라인 및 메인 비트라인을 구비하고, 서브 비트라인의 센싱전압을 전류로 변환시켜 메인 비트라인 센싱전압을 유도하는 멀티 비트라인 구조를 갖는 복수의 셀 어레이 블록 및 상기 복수의 셀 어레이 블록에 공유되는 공통 데이터 버스를 갖는 메모리 장치에서의 데이터 센싱방법에 있어서,

상기 서브 비트라인의 센싱전압에 의해 공통 데이터 버스의 센싱전압이 감소하여 센싱 감지 임계전압에 도달하는 제 1 타이밍 및 제 2 타이밍을 산출하는 제 1 단계;

상기 공통 데이터 버스의 센싱전압을 센싱하는 제 2 단계; 및

상기 제 1 타이밍과 상기 제 2 타이밍 사이에서 상기 센싱된 값을 저장하여 출력하는 제 3 단계를 포함하는 타이밍 레퍼런스를 이용한 데이터 센싱 방법.

【청구항 14】

제 13항에 있어서, 상기 제 3 단계는

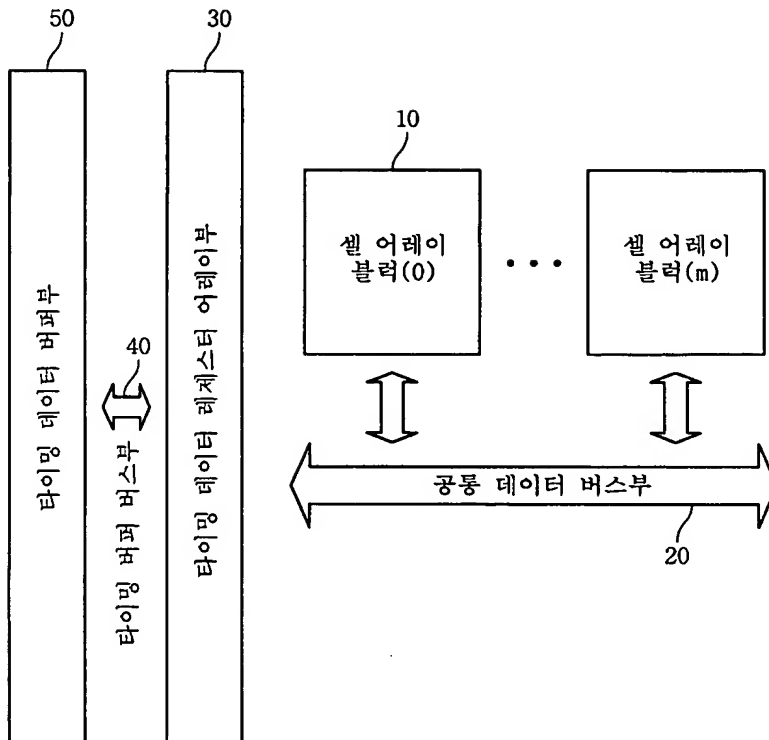
상기 제 1 타이밍 및 제 2 타이밍 사이에 락(Lock) 신호를 활성화시켜 상기 락 신호가 활성화되는 순간의 상기 센싱전압을 검출하여 저장하는 것을 특징으로 하는 타이밍 레퍼런스를 이용한 데이터 센싱 방법.

【청구항 15】

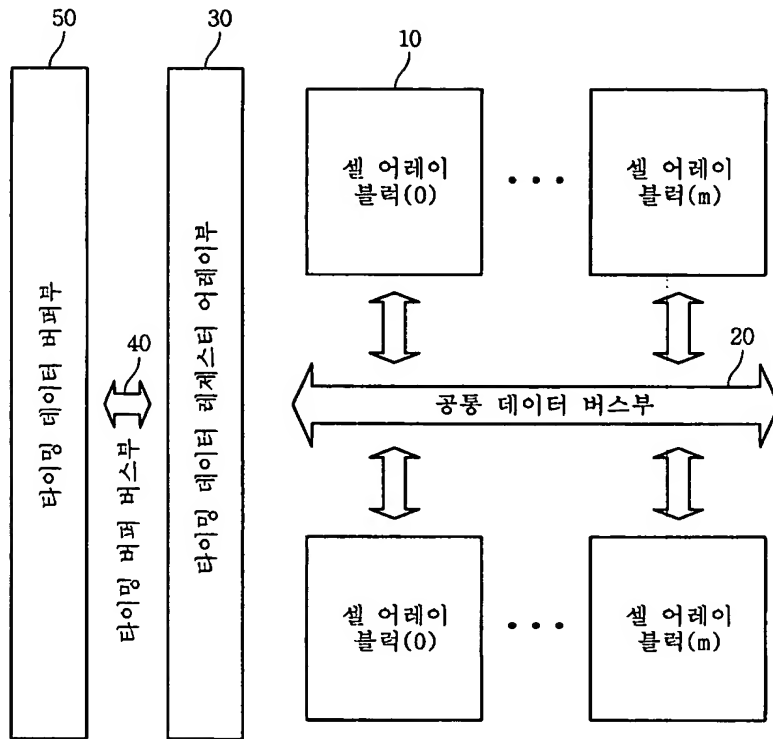
제 13항에 있어서, 상기 제 1 및 제 2 타이밍은 각각 데이터 하이 및 데이터 로오에 대응되는 상기 서브 비트라인의 센싱전압에 의해 상기 공통 데이터 버스의 센싱전압이 감소하여 센싱감지 임계전압에 도달하는 시간을 나타내는 것을 특징으로 하는 타이밍 레퍼런스를 이용한 데이터 센싱 방법.

【도면】

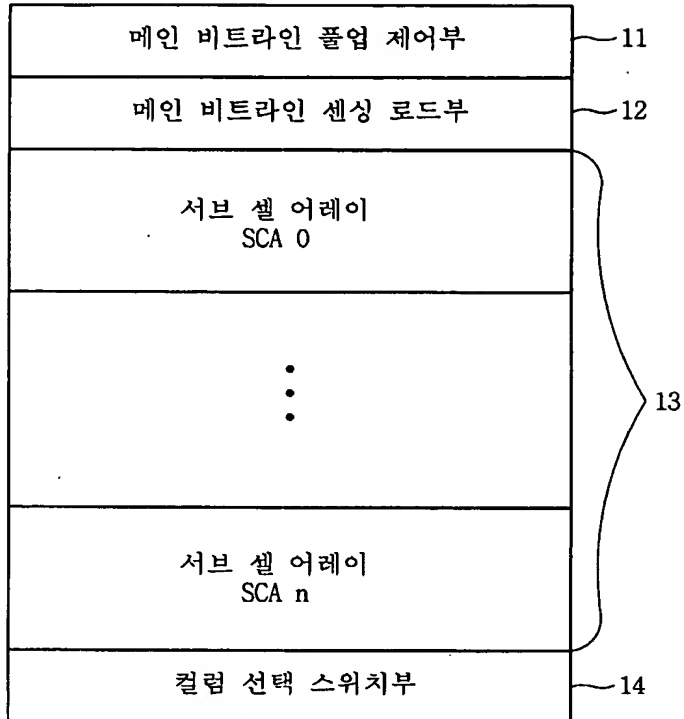
【도 1】



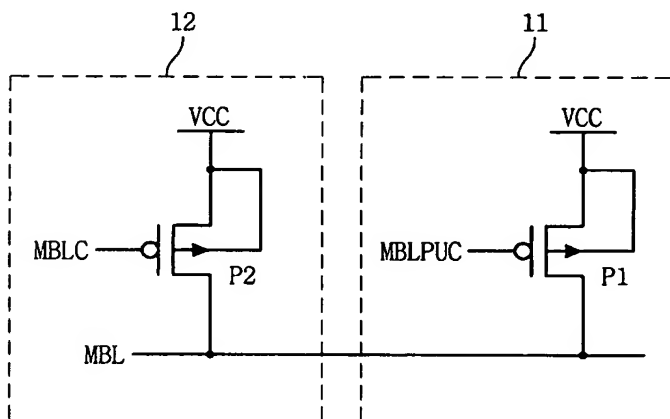
【도 2】



【도 3】

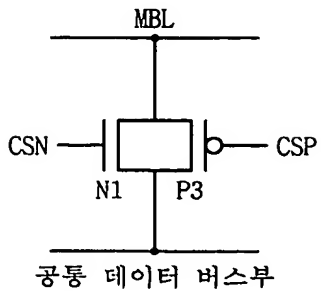


【도 4】

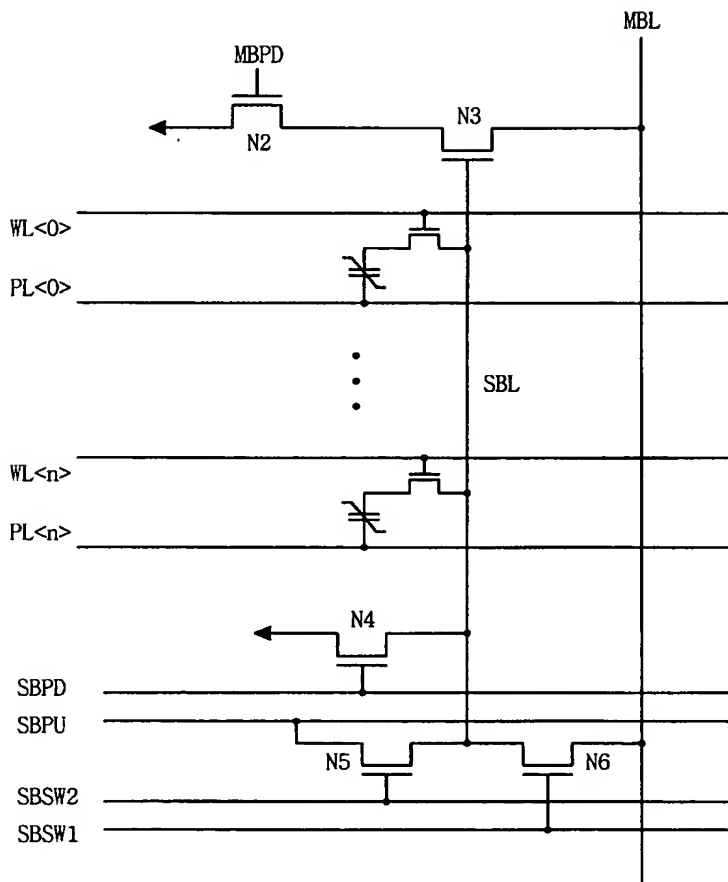




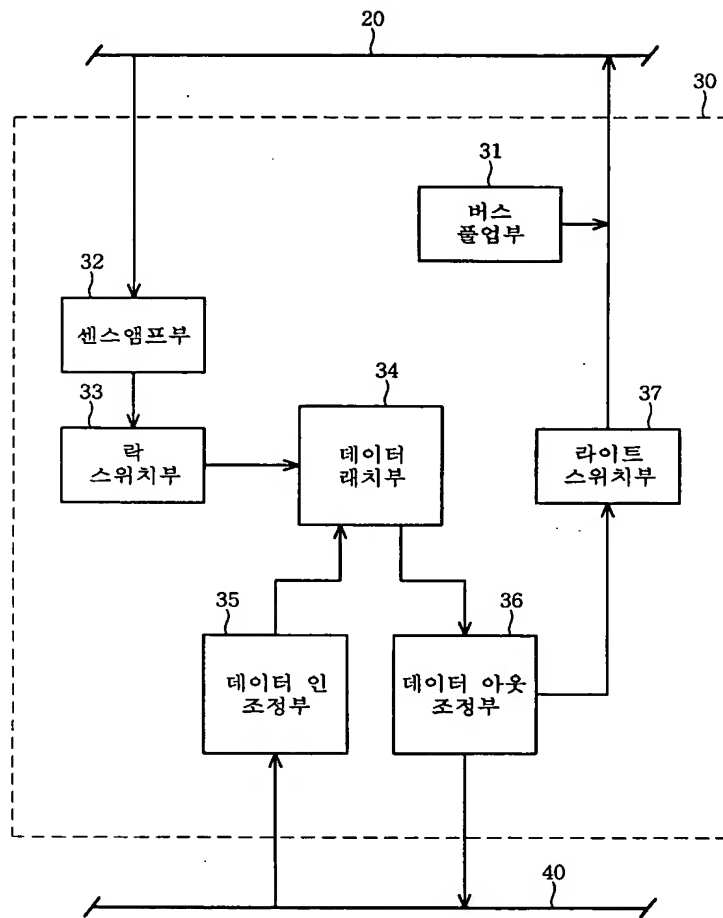
【도 5】



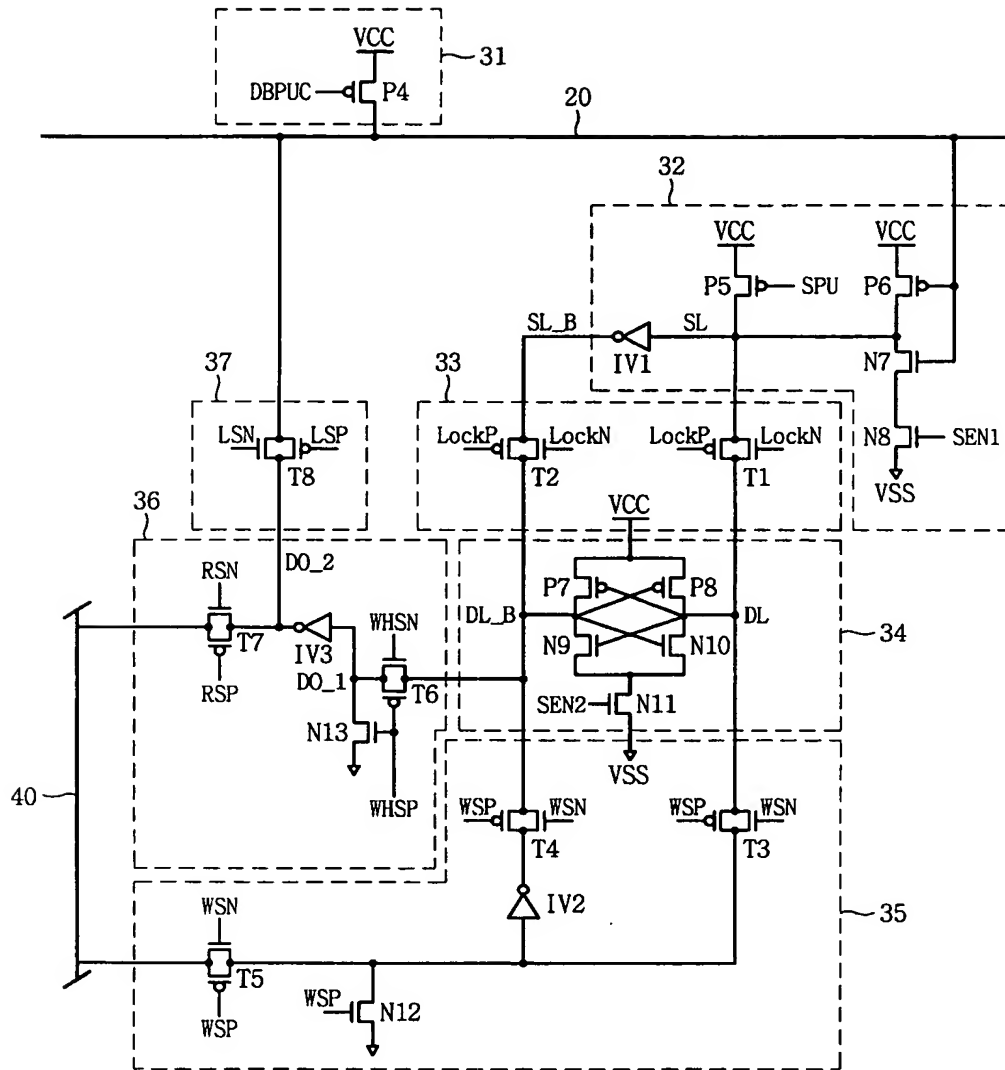
【도 6】



【도 7】

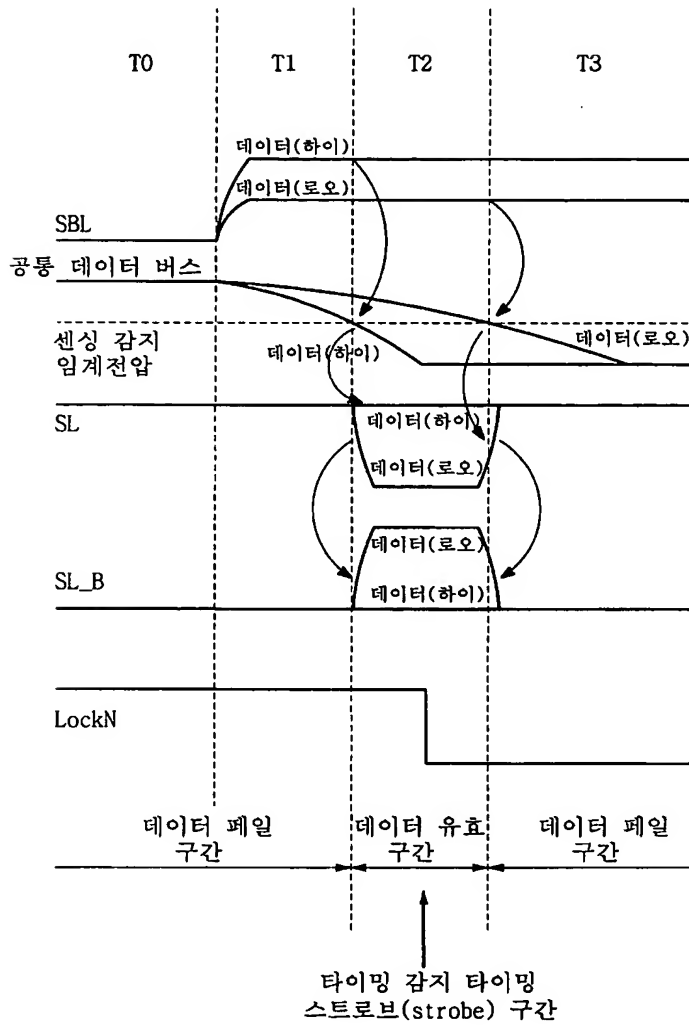


【도 8】

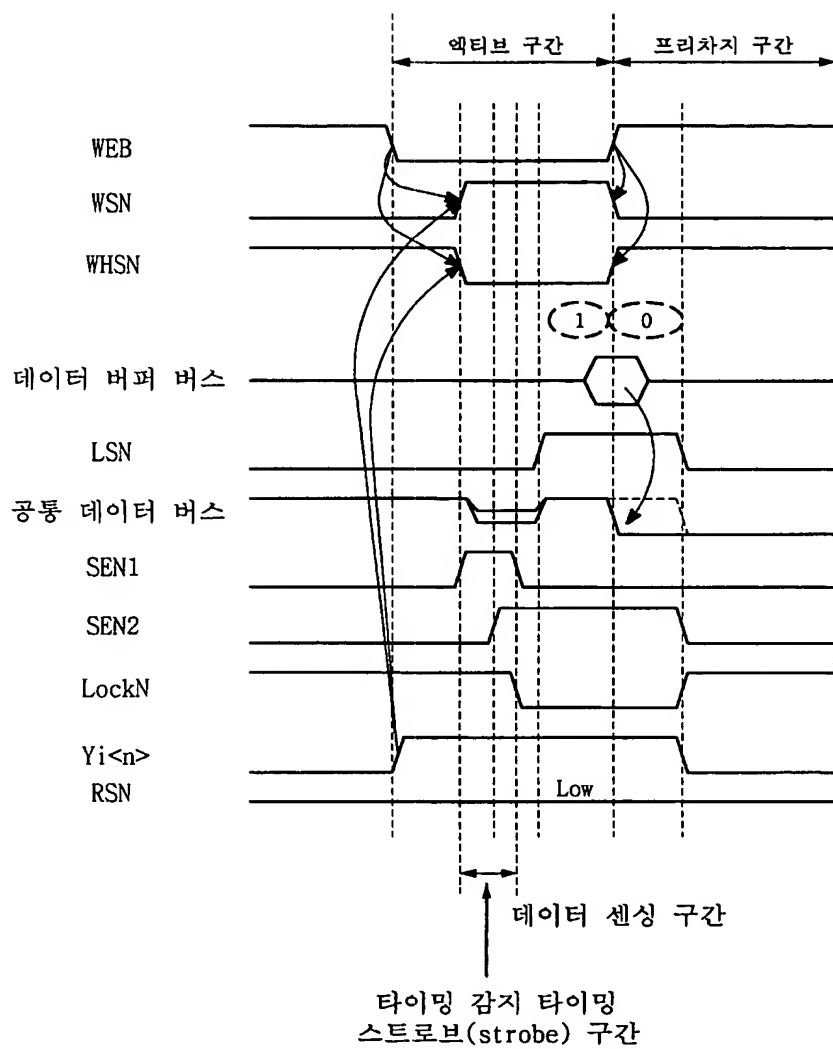




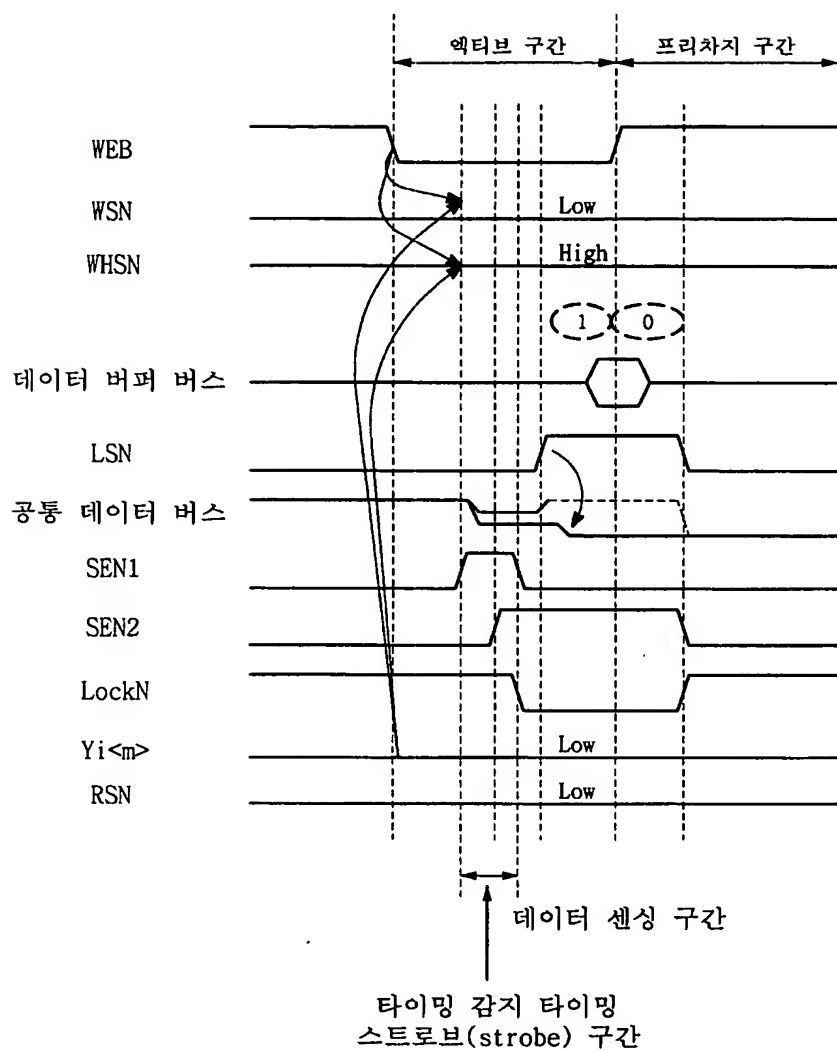
【도 9】



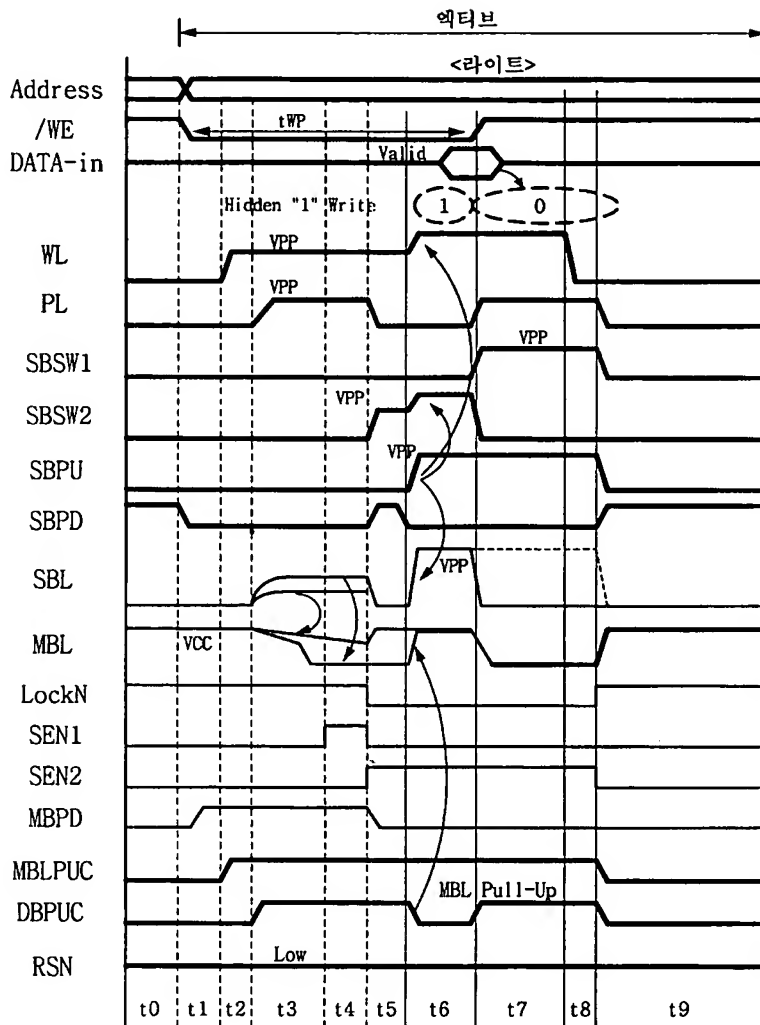
【도 10】



【도 11】



【도 12】



【도 13】

